



日本国特許庁
JAPAN PATENT OFFICE

CFO 229 US/jn
10/015, 749

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年12月12日

出願番号
Application Number:

特願2001-378124

[ST.10/C]:

[JP2001-378124]

出願人
Applicant(s):

キヤノン株式会社

RECEIVED

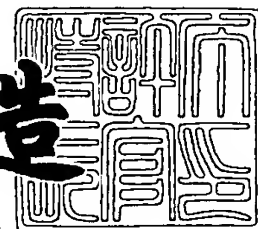
APR 17 2002

Technology Center 2600

2002年 1月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3117244

【書類名】 特許願

【整理番号】 4613002

【提出日】 平成13年12月12日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/14
H01L 31/00

【発明の名称】 撮像装置及び撮像システム

【請求項の数】 23

【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
 内
 【氏名】 園田 一博

【発明者】
 【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
 内
 【氏名】 高橋 秀和

【特許出願人】
 【識別番号】 000001007
 【住所又は居所】 東京都大田区下丸子3丁目30番2号
 【氏名又は名称】 キヤノン株式会社
 【代表者】 御手洗 富士夫
 【電話番号】 03-3758-2111

【代理人】
 【識別番号】 100090538
 【住所又は居所】 東京都大田区下丸子3丁目30番2号キヤノン株式会社
 内
 【弁理士】
 【氏名又は名称】 西山 恵三
 【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【先の出願に基づく優先権主張】

【出願番号】 特願2000-383925

【出願日】 平成12年12月18日

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置及び撮像システム

【特許請求の範囲】

【請求項 1】 複数の画素を有する画素領域と、
前記画素領域が集積化された基板とを有し、
前記画素領域の中心と、前記基板の中心とが略一致していることを特徴とする
撮像装置。

【請求項 2】 請求項 2 において、前記基板は、少なくとも前記画素領域を
挟んで対向する 2 辺のそれぞれに所定の処理を行う処理回路が集積化されている
ことを特徴とする撮像装置。

【請求項 3】 請求項 1 又は 2 において、前記基板は、少なくとも前記画素
領域を挟んで対向する 2 辺の一方に所定の処理を行う処理回路が集積され、もう
一方にダミー回路もしくはパッドを設けていることを特徴とする撮像装置。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項において、前記基板は、化学
機械研磨によって平坦化された領域を有することを特徴とする撮像装置。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項において、前記画素領域は、
2 次元状に配列された複数の画素を有する画素群を複数配列し、それぞれの画素
群に対応して一つずつ配置された前記画素群に光を結像するレンズを有すること
を特徴とする撮像装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 項において、前記画素群毎に設
けられた色フィルタを有し、前記色フィルタは、前記基板に集積化されていない
ことを特徴とする撮像装置。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の撮像装置と、前記撮
像装置からの信号を処理する信号処理回路と、前記信号処理回路からの信号を記
憶するメモリとを有することを特徴とする撮像システム。

【請求項 8】 複数の画素を有する画素領域が配置された基板と、
前記画素領域と一緒に集積化されていない、前記画素領域へ光を結像するレン
ズと、
少なくとも前記画素領域を挟んで対向する 2 辺にそれぞれ設けられた所定の処

理を行う処理回路とを有し、

前記基板と前記レンズとは、一体化されていることを特徴とする撮像装置。

【請求項 9】 請求項 8 において、前記レンズは、少なくとも前記画素領域の周辺部の対向する 2 辺側で固定されていることを特徴とする撮像装置。

【請求項 10】 請求項 8 又は 9 において、前記画素領域の上面にガラスを有し、前記レンズは、前記ガラスに固定されていることを特徴とする撮像装置。

【請求項 11】 請求項 8 乃至 10 のいずれか 1 項において、前記画素領域は、前記基板とは異なる半導体基板上に形成され、前記基板上に前記半導体基板が配置されていることを特徴とする撮像装置。

【請求項 12】 請求項 8 乃至 11 のいずれか 1 項において、前記画素領域は、前記基板上に集積化されていることを特徴とする撮像装置。

【請求項 13】 請求項 8 乃至 12 のいずれか 1 項において、少なくとも前記画素領域を挟んで対向する 2 辺のそれぞれに、前記処理回路として画素を順次走査する走査回路を有することを特徴とする撮像装置。

【請求項 14】 請求項 8 乃至 13 のいずれか 1 項において、少なくとも前記画素領域を挟んで対向する 2 辺の一方に、前記処理回路として、A/D 変換回路、クロック信号を供給するクロック回路、電源回路、及びオートゲインコントローラ及び相関 2 重サンプリング回路の少なくとも一つを含むアナログ回路のいずれかを設け、もう一方に、前記処理回路として、前記 A/D 変換回路、前記クロック回路、及び前記アナログ回路のうち前記一方の辺に設けられていない回路を設けていることを特徴とする撮像装置。

【請求項 15】 請求項 8 乃至 14 のいずれか 1 項に記載の撮像装置と、前記撮像装置からの信号を処理する信号処理回路と、前記信号処理回路からの信号を記憶するメモリと、を有することを特徴とする撮像システム。

【請求項 16】 複数の画素を有する画素領域が配置された基板；前記画素領域と一緒に集積化されていない、前記画素領域へ光を結像するレンズと、

少なくとも前記画素領域を挟んで対向する 2 辺の一方に設けられた所定の処理

を行う処理回路と、

前記 2 辺のもう一方に設けられたダミー回路もしくはパッドとを有し、

前記基板と前記レンズとは、一体化されていることを特徴とする撮像装置。

【請求項 1 7】 請求項 1 6 において、前記レンズは、少なくとも前記画素領域の周辺部の対向する 2 辺側で固定されていることを特徴とする撮像装置。

【請求項 1 8】 請求項 1 6 又は 1 7 において、前記画素領域の上面にガラスを有し、前記レンズは、前記ガラスに固定されていることを特徴とする撮像装置。

【請求項 1 9】 請求項 1 6 乃至 1 8 のいずれか 1 項において、前記画素領域は、前記基板とは異なる半導体基板上に形成され、前記基板上に前記半導体基板が配置されていることを特徴とする撮像装置。

【請求項 2 0】 請求項 1 6 乃至 1 9 のいずれか 1 項において、前記画素領域は、前記基板上に集積化されていることを特徴とする撮像装置。

【請求項 2 1】 請求項 1 6 乃至 2 0 のいずれか 1 項において、前記処理回路は、画素を順次走査する走査回路を含むことを特徴とする撮像装置。

【請求項 2 2】 請求項 1 6 乃至 2 1 のいずれか 1 項において、前記処理回路は、A/D 変換回路、クロック信号を供給するクロック回路、電源回路、及びオートゲインコントローラ及び相関 2 重サンプリング回路の少なくとも一つを含むアナログ回路の少なくとも一つを含むことを特徴とする撮像装置。

【請求項 2 3】 請求項 1 6 乃至 2 2 のいずれか 1 項に記載の撮像装置と、前記撮像装置からの信号を処理する信号処理回路と、前記信号処理回路からの信号を記憶するメモリとを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、被写体像を撮像する撮像装置に関する。

【0002】

【従来の技術】

従来の固体撮像素子の構成の一例を図 1 に示す。図 1 において、1 a はフォト

ダイオード等の光電変換部を有する画素であり、この画素を2次元状に配列することによって、被写体像を撮像する画素領域2 aを形成している。

【0 0 0 3】

また、3 aは画素からの信号を読み出すための垂直シフトレジスタ、水平シフトレジスタ、電源を供給するための電源回路等を含む周辺回路、4 aは画素領域2 a、周辺回路3 aを集積化している半導体基板である。

【0 0 0 4】

【発明が解決しようとする課題】

しかし、図1に示した半導体基板上の画素領域と周辺回路の配置では、平坦化を化学機械研磨（CMP：Chemical Mechanical Polishing）等によって行って固体撮像素子を作成した場合に、固体撮像素子からの出力にシェーディング等が生じるようになる。

【0 0 0 5】

また、固体撮像素子とレンズ等との位置関係によって、装置の小型化が難しくなる。

【0 0 0 6】

【課題を解決するための手段】

上記課題を達成するために、一手段として、複数の画素を有する画素領域と、前記画素領域が集積化された基板とを有し、前記画素領域の中心と、前記基板の中心とが略一致していることを特徴とする撮像装置を提供する。

【0 0 0 7】

また、他の手段として、複数の画素を有する画素領域が配置された基板と、前記画素領域と一緒に集積化されていない前記画素領域へ光を結像するレンズと、少なくとも前記画素領域を挟んで対向する2辺にそれぞれ設けられた所定の処理を行う処理回路とを有し、前記基板と前記レンズとは、一体化されていることを特徴とする撮像装置を提供する。

【0 0 0 8】

また、他の手段として、複数の画素を有する画素領域が配置された基板と、前記画素領域と一緒に集積化されていない前記画素領域へ光を結像するレンズと、

少なくとも前記画素領域を挟んで対向する 2 辺の一方に設けられた所定の処理を行う処理回路と、前記 2 辺のもう一方に設けられたダミー回路もしくはパッドを有し、前記基板と前記レンズとは、一体化されていることを特徴とする撮像装置を提供する。

【 0 0 0 9 】

【発明の実施の形態】

(実施形態 1)

図 2 は、本発明の実施形態 1 の固体撮像素子の模式的な平面図である。図 2 には、いわゆる 4 眼式の固体撮像素子を示している。図 2 において、101 はフォトダイオードを有する画素、102 a ~ 102 d は画素 101 が 2 次元に配列されている画素群、103 は画素群 102 a ~ 102 d を備える画素領域、203 及び 204 は画素群 102 a ~ 102 d の各画素 101 からの出力を読み出すための水平シフトレジスタ (HSR) 及び垂直シフトレジスタ (VSR)、105 は画素領域 103 の周囲に配置されている固体撮像素子の駆動源である電源回路、106 は水平シフトレジスタ 203 及び垂直シフトレジスタ 204 に対してクロック信号を供給するクロック回路、107 は各画素 101 からの信号をアナログ信号からデジタル信号へ変換する A/D 変換器 (ADC)、108 は信号の補正を行うためのオートゲインコントロール回路や相関 2 乗サンプリング回路等を含むアナログ回路、104 は上記各部を集積化した半導体基板である。

【 0 0 1 0 】

図 2 に示すように、本実施形態では、複数の画素群 102 a ~ 102 d を備えた画素領域 103 を基板 104 の中心に配置し、その画素領域 103 を囲うように、電源回路 105、クロック回路 106、A/D 変換器 107 及びアナログ回路 108 を配置している。

【 0 0 1 1 】

図 3 (a) は、図 2 の固体撮像素子とレンズ等の他の部材を含めた撮像ユニットの模式的平面図である。図 3 (b) は、図 3 (a) の A-A' 間の断面図である。図 4 は、図 2 の固体撮像素子の模式的斜視図である。

【 0 0 1 2 】

図3(a), 図3(b)において、301は入射光を各画素群102a~102dの各画素101に入射させる撮像レンズ、305は基板104の周辺部に設けられ撮像レンズ301を支える支持部材、306は半導体基板104が載置される実装基板である。なお、303は周辺回路であり、図2の水平シフトレジスタ203、垂直シフトレジスタ204、アンプ201、電源回路105、クロック回路106、A/D変換器107及びアナログ回路108に相当する。ここで、画素群102aの前面には、R(赤色)のカラーフィルタが配置され、画素群102b, cの前面には、G(緑色)のカラーフィルタが配置され、画素群102dの前面にはB(青色)のカラーフィルタが配置されている。

【0013】

図3(a), 図3(b)に示すように、本実施形態の撮像ユニット装置は、半導体基板104の中心と画素領域103の中心とが一致している。又、撮像レンズは、半導体基板、実装基板と一体化されている。

【0014】

図5は、図2の画素領域103付近の拡大図である。図5において、705は画素群102a~102dからの出力を読み出す垂直出力線、201は垂直出力線705に接続され画素群102a~102dから読み出した出力を増幅するアンプである。

【0015】

図6は、図5の画素101の等価回路である。図6において、701は入射光を光電変換するフォトダイオード、702は電気信号をフローティングディフュージョン(FD)領域に転送する転送スイッチ、703はFD領域及びフォトダイオード701の電荷をリセットするリセットスイッチ、704は転送された電気信号に基づく増幅信号を得るためのソースフォロアアンプ、706は増幅信号を垂直出力線705に読み出すための直列電源である。

【0016】

簡単に、図2~図6の動作について説明する。電源回路105によって、固体撮像装置がオンされている状態では、撮像対象からの分光が、撮像レンズ301によって集められ、各画素群102a~102dの各画素101に入射される。

各画素101では、フォトダイオード701によって入射光が電気信号に変換される。

【0017】

その後、クロック回路106からのクロック信号に基づいて、垂直シフトレジスタ204が転送スイッチ702をオンする信号を出力すると、転送スイッチ702がオンされ、フォトダイオード701で光電変換された電気信号がフローティングディフュージョン(FD)に転送される。転送された電気信号がソースフォロアアンプ704のゲートをオンすると、ソースフォロアアンプ704及び直列電源706により増幅信号が垂直出力線705に読み出される。

【0018】

つぎに、水平シフトレジスタ203は、クロック回路106からのクロック信号に基づいて、垂直出力線705に読み出された増幅信号は、順次、アンプ201に inputs する。アンプ203は、入力した増幅信号を増幅して、アナログ回路108に出力する。アナログ回路108は、増幅された信号に対して、色処理、ホワイトバランス処理、 γ 処理、シェーディング補正などを行い、A/D変換器107へ出力する。A/D変換器107は出力された信号をアナログ信号からデジタル信号に変換して、外部への読み出しや、図示しないメモリ等への保存を行う。

【0019】

「比較例」

図7(a)は、上記で説明した撮像ユニットの小型化のメリットを説明するための比較例である撮像ユニットの模式的な平面図である。図7(b)は、図7(a)のA-A'間の断面図である。図7(a), 図7(b)は、それぞれ図4(a), 図4(b)に相当する。

【0020】

図7(a), 図7(b)に示すように、比較例では、画素群102a~102dの周囲のうち、隣接する2辺側にL字状に周辺回路303を配置している。周辺回路303の配置をL字状にし、画素領域の中心と、撮像レンズの中心を一致させようとする、画素領域と支持部材の間に不要なスペースを設けなければな

らず、撮像ユニットをだいぶ広くしなければならない。すなわち、これは本実施形態の撮像ユニットは、図7(a)、図7(b)に示す撮像ユニットに比較して、小型化が実現できることを意味する。

【0021】

以下に、上記で説明した固体撮像素子の回路構成は、固体撮像素子の製造の工程にCMP使った場合にメリットがあることについて述べる。

【0022】

ただし、本発明は、CMPを必ず使うことに限定されるものではない。

【0023】

固体撮像素子の高解像度化及び高感度化という2つの要求を実現するために、配線微細化により配線の面積比率を減らしてフォトダイオードの面積を確保し、さらにマイクロレンズを画素上に配置し集光率を上げている。

【0024】

このうち、配線の微細化による高集積化のためには、とりわけ $0.35\mu\text{m}$ 以下のデザインルールで多層配線構造を備える固体撮像素子を作製している。また、配線間の層間絶縁膜を平坦化するため、層間絶縁膜を化学機械研磨によって研磨する。

【0025】

図8は、固体撮像素子に用いられる光電変換素子であるフォトダイオードの周辺の模式的な断面図である。図8に示すように、半導体基板104内に形成されたP層とN層とを有するフォトダイオード1201上に、絶縁膜1202、配線層1204及び層間絶縁層1203を備える多層配線構造としている。

【0026】

具体的には、絶縁膜1202上に配線層1204を形成し、配線間の凹凸を少なくするために、配線層1204上には層間絶縁層1203を形成している。層間絶縁膜1203は、上記のようにCMPによって研磨することで平坦化している。平坦化した層間絶縁層1203上には、さらに図示しない配線層等を形成し、その上に図示しない保護層を形成している。

【0027】

こうして、配線層 1 2 0 4 の段差の影響を低減することによって、図示しない配線層の切断というようなパターン欠陥が生じないようにしたり、フォトダイオード 1 2 0 1 上の各層 1 2 0 2 ~ 1 2 0 4 の屈折率の相違による光の多重干渉を少なくしている。ところで、層間絶縁膜 1 2 0 3 は、配線層 1 2 0 4 内の配線密度の高低に応じて表面に段差ムラが生じる。

【 0 0 2 8 】

図 9 (a) は、図 8 に示した配線層 1 2 0 4 上に層間絶縁膜 1 2 0 3 となる S i O 系などの材料を塗布して CMP によってこれを研磨していない状態を示す図である。図 9 (b) は、図 9 (a) の状態から層間絶縁膜 1 2 0 3 を CMP によって研磨した状態を示す図である。図 9 (a) , 図 2 (b) に示すように、配線層 1 2 0 4 は、配線密度の高い領域（図面右側）と低い領域（図面左側）とがあり、配線密度の低い領域では十分に研磨され、配線密度の高い領域では比較的十分な研磨がされていない。

【 0 0 2 9 】

この状態で、図示しない配線層や保護層を形成すると、多層膜の膜厚がばらつく。多層膜の分光感度特性をみるとトリプルを生じており、その結果わずかな波長の違いによってフォトダイオードの感度が大きく変化することがある。よって、多層膜の膜厚がばらつくと分光感度特性は膜厚に応じてずれ、同一の波長に対する感度バラツキとなる。

【 0 0 3 0 】

また、多層配線の層間膜厚が変化すると多層配線で相互の容量が変化するためにゲインなどの回路特性上のばらつきを生じる。これらのことは複数のフォトダイオード 1 2 0 1 が配列された固体撮像素子において、一様な光に対しても画素ごとで感度がバラツキ、固体撮像素子の出力にシェーディング等が生じることになるので好ましくない。

【 0 0 3 1 】

そこで、配線密度の高い領域と低い領域とを明確に分離して、CMP によって平坦化した層間絶縁膜の段差を少なくすることにより、多層膜に膜厚のムラが生じないようにしている。ちなみに、画素領域は配線密度が 3 0 % 程度と低く、画

素領域から読み出した信号を処理する処理回路などの周辺回路は配線密度が70%程度と高い。

【0032】

図10(a)は、図2の固体撮像素子の画素領域103及び周辺回路303における膜厚を示す図である。図10(b)は、図7の固体撮像素子の画素領域103及び周辺回路303における膜厚を示す図である。

【0033】

図10(a)に示すように、図2の固体撮像素子は、配線密度の高い領域が2つあり、それらの領域では膜厚が厚くなり、それらの領域間では膜厚が薄くなる。一方、図10(b)に示すように、図7の固体撮像素子は、配線密度の高い領域が1つあり、そこから離れるにつれて膜厚が薄くなる。そして、図10(a)、図10(b)によると、膜厚差に相違があることが分かる。膜厚差があると均一な感度を得にくく、そのため、図2に示す固体撮像素子の方が、図7に示す固体撮像素子に比して、感度のばらつきが少なくなる。

【0034】

図11は、図2、図7の各固体撮像素子を駆動したときの各画素101の出力を示す図である。図11に示すように、図2に示す固体撮像素子の方が、図7に示す固体撮像素子に比して、出力にばらつきがない。図11に示すように、多層膜の膜厚にムラが多いと、一様な強度の光を入射しても画素領域の水平方向あるいは垂直方向で出力信号にシェーディングが生じている。

【0035】

以上本発明の実施形態1では、画素領域103の全ての辺に、周辺領域303を配置している場合を例に説明したが、画素領域103を挟んで対向する2辺側に配置してもよい。すなわち、たとえば図10に示すように、各水平シフトレジスタ203の近傍に電源回路105、クロック回路106、A/D変換器107及びアナログ回路108を配置したり、図11に示すように、各垂直シフトレジスタ204の近傍に電源回路105、クロック回路106、A/D変換器107及びアナログ回路108を配置してもよい。

【0036】

さらに、いわゆる画素領域 1 0 3 内の各画素 1 0 1 には、CMOS センサを用いた場合を例に説明したが、それ以外にも、たとえば、AMI（アンプリファイド MOS イメージャ）や、CMD（チャージモジュレーションデバイス）、CCD など、どのようなセンサを用いてもよい。

【 0 0 3 7 】

上記で述べた構成では、固体撮像素子と実装基板とを別々に設ける構成を示したが、固体撮像素子と別に実装基板を設けず、固体撮像素子に実装基板の役割を持たせるようにしてもよい。

【 0 0 3 8 】

次に、図 3（b）の構成の詳細について述べる。

【 0 0 3 9 】

1 0 は、画素領域、周辺回路等を集積化した固体撮像素子（CMOS センサ）、1 1 はカラーフィルタ、1 3 は遮光部材、1 4 は赤外カットフィルタ、1 5 は、遮光部材、カラーフィルタ赤外カットフィルタ等を配置したガラス、1 6 は固体撮像素子とガラスとの隙間をうめるための封止樹脂、

1 7 は、ガラス 1 5 をささえるとともに、導電性を有する金バンプ、1 8 は、金バンプとガラスを接続するとともに導電性を有する導電接着剤、1 9、は外部との電氣的接続を行う配線（FPC）、2 0 はレンズを固定するためのレンズ固定接着剤、2 1 は固体撮像素子へ光を結像するための撮像レンズ、2 2 はしぼり、2 3 は保護ガラスである。

【 0 0 4 0 】

上記の構成では、固体撮像素子と別に実装基板を設けず、固体撮像素子が実装基板の役割も兼ねるようになっている。つまり、固体撮像素子は、実装基板の役割も兼ねることが可能な材質となっている。

【 0 0 4 1 】

そして、上記の構成により、低価格化、小型化がより可能となる。

【 0 0 4 2 】

（実施形態 2）

図 1 5（a）、図 1 5（b）は、本発明の実施形態 2 の固体撮像装置の平面図

であり、図3に相当するものである。図12(a), 図12(b)において、804は周辺回路303と同様の配線密度を有するダミー回路である。なお、図12(a), 図12(b)において、図3と同様の部分には同一符号を付している。

【0043】

図15(a), 図15(b)に示す固体撮像装置は、たとえば設計上、周辺回路303が画素領域103の3辺にしか配置できない場合や、画素領域103の全ての辺に配置できるが、そのうち1辺では半分程度までしか配置できない場合に、図3に示す固体撮像装置と同様の感度を得るために配置したものである。なお、ダミー回路804に代えて、パッドなどを用いてもよい。

【0044】

(実施形態3)

図16は、実施形態1, 2において説明した撮像装置ユニットを用いた撮像システムの構成図である。図16において、1は被写体を画像信号として取り込むための上記の実施形態1又は2で説明した撮像ユニット、2は撮像ユニットより出力された画像データに各種の補正を行ったりデータを圧縮したり、各々の画素群からの画像データを合成したりする信号処理部、3は撮像ユニット1, 信号処理部2に各種タイミング信号を出力するタイミング発生部、4は各種演算と撮像システム全体を制御する全体制御・演算部、5は画像データを一時的に記憶するためのメモリ部、6は記録媒体に記録又は読み出しを行うための記録媒体制御インターフェース部、7は画像データの記録又は読み出しを行うための半導体メモリ等の着脱可能な記録媒体、8は外部コンピュータ等と通信するための外部インターフェース(I/F)部である。

【0045】

上記の実施形態1~3では、一例として画素群を複数有し、被写体像を複数の像に分割して、それぞれの画素群に入射する構成のものを説明した。このような構成にすることによって、焦点距離を短くすることが可能となり、特に、小型化に有利になる。しかしながら、画素群を複数有する形態ではなく、画素群を1つのみ設け、その画素群にカラーフィルタを例えばベイヤー配列で配置した構成の

ものであってもよい。

【0046】

【発明の効果】

以上、説明したように、撮像ユニットを小型化、薄型化することができる。また、良質な画像を得ることが可能となる。

【図面の簡単な説明】

【図1】

従来の固体撮像素子の構成例である。

【図2】

本発明の実施形態1の固体撮像素子の模式的な平面図である。

【図3】

図2の固体撮像素子の模式的な平面図及び断面図である。

【図4】

図2の固体撮像装置の模式的な斜視図である。

【図5】

図2の画素領域付近の拡大図である。

【図6】

図5の画素の等価回路である。

【図7】

本発明の実施形態1の比較例である固体撮像素子の模式的な平面図である。

【図8】

固体撮像素子に用いられるフォトダイオードの周辺の模式的な断面図である。

【図9】

図8に示した層間絶縁膜のCMPの前後の状態を示す図である。

【図10】

図2，図7の各固体撮像素子の画素領域及び周辺回路における膜厚を示す図である。

【図11】

図2，図7の各固体撮像素子を駆動したときの各画素の出力を示す図である。

【図 1 2】

本発明の実施形態 1 の他の固体撮像素子の模式的な平面図である。

【図 1 3】

本発明の実施形態 1 の他の固体撮像素子の模式的な平面図である。

【図 1 4】

図 2 (b) の撮像ユニットの詳細をあらわす図である。

【図 1 5】

本発明の実施形態 2 の固体撮像素子の平面図である。

【図 1 6】

本発明の実施形態 3 の固体撮像システムの構成図である。

【符号の説明】

1 0 1, 4 0 1, 5 0 1, 8 0 1 画素

1 0 2, 2 0 2, 3 0 2, 4 0 2, 5 0 2, 8 0 2, 1 3 0 2, 1 4 0 2 画

素郡

1 0 3, 4 0 3, 5 0 3 画素領域

1 0 4, 2 0 5, 3 0 4, 4 0 4, 5 0 4, 8 0 5, 1 2 0 5, 1 3 0 4, 1

4 0 4 基板

2 0 1 アンプ

2 0 3 水平走査回路

2 0 4 垂直走査回路

3 0 1, 1 3 0 1, 1 4 0 1 撮像レンズ

3 0 3, 8 0 3, 1 3 0 3, 1 4 0 3 周辺回路

3 0 5, 1 4 0 5 外板

3 0 6, 1 4 0 6 底板

7 0 1, 1 2 0 1 フォトダイオード

7 0 2 転送スイッチ

7 0 3 リセットスイッチ

7 0 4 ソースフォロアアンプ

7 0 5 垂直出力線

706 定電流源

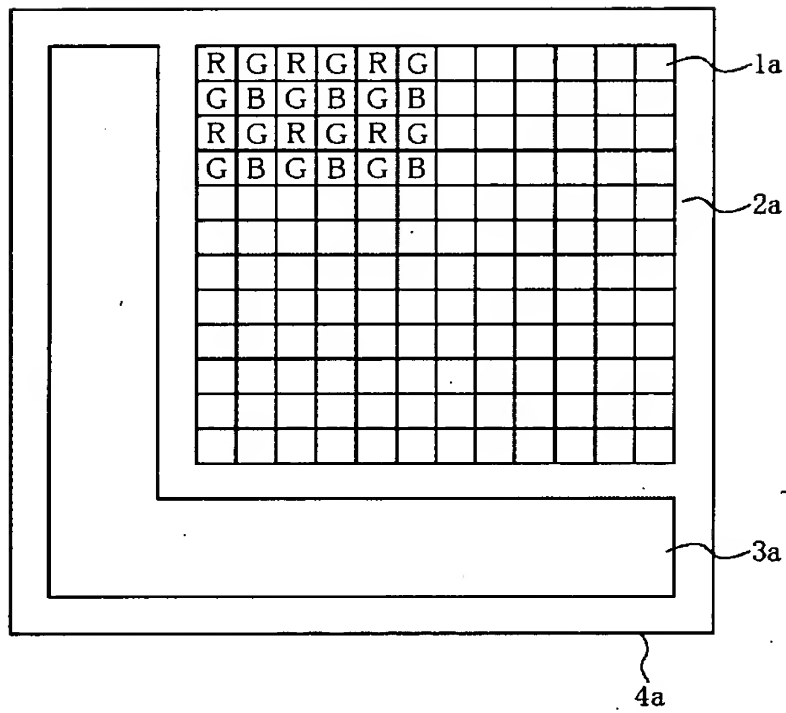
804 ダミー回路、パッド

1203, 1202 絶縁膜

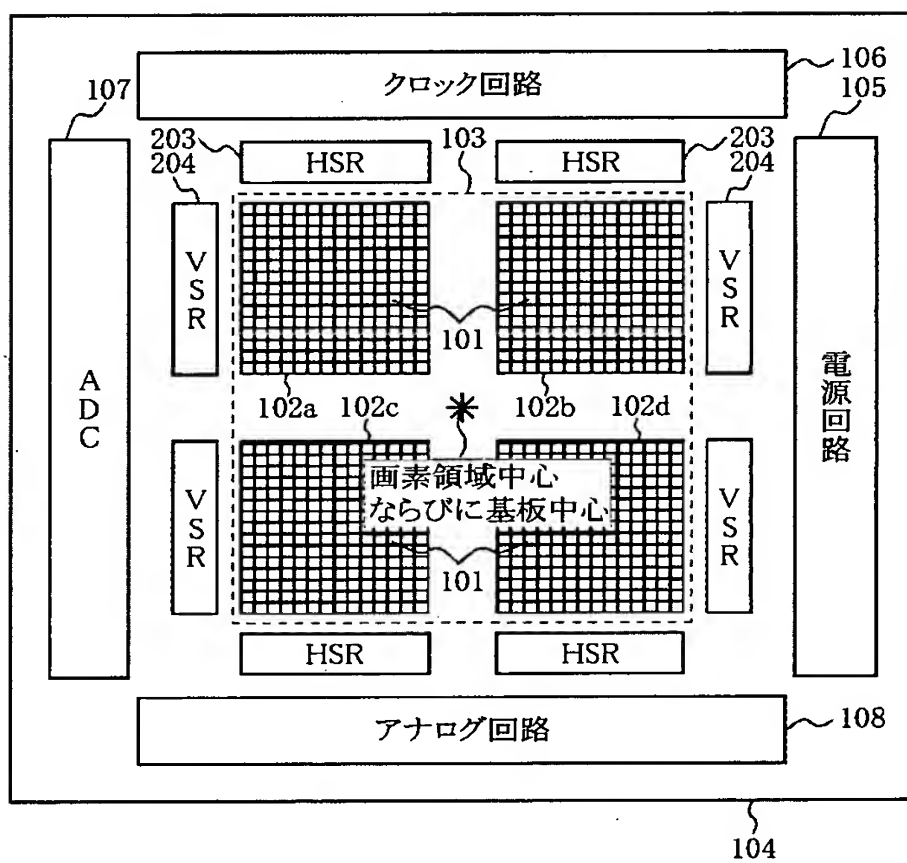
1204, 1204 配線層

【書類名】 図面

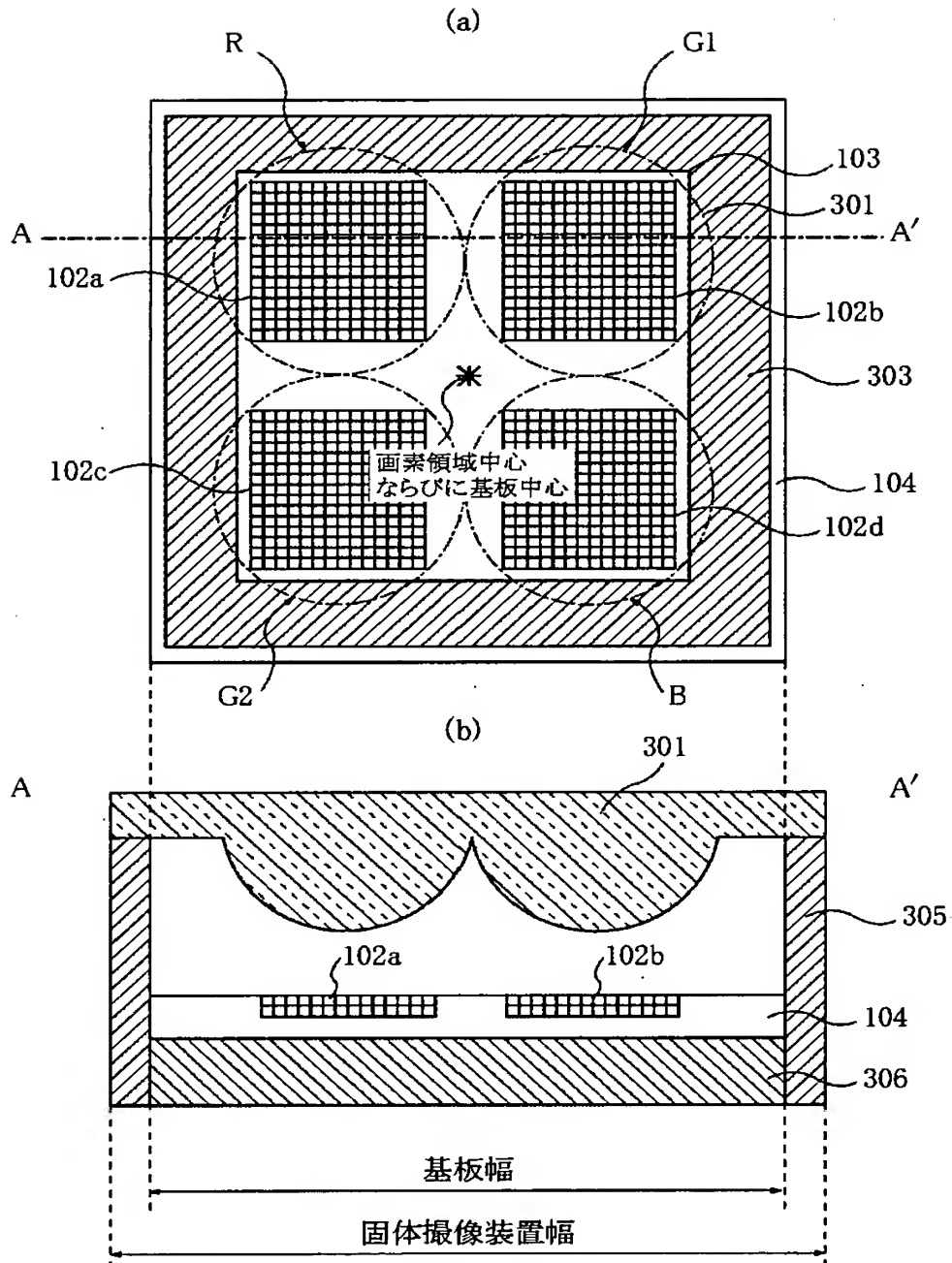
【図 1】



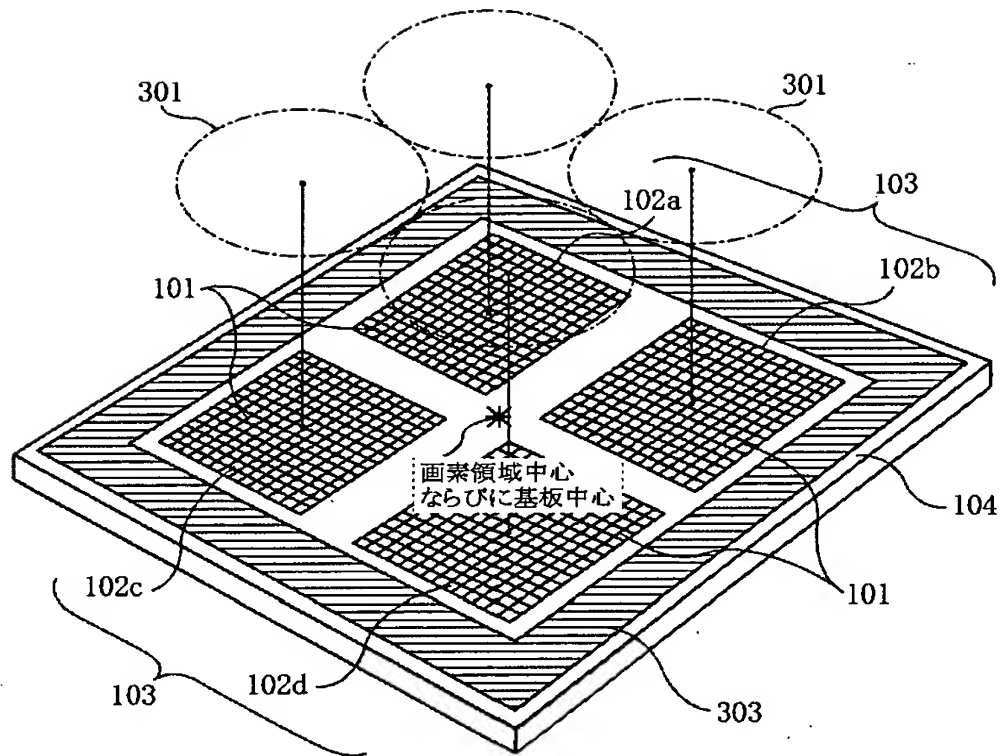
【図 2】



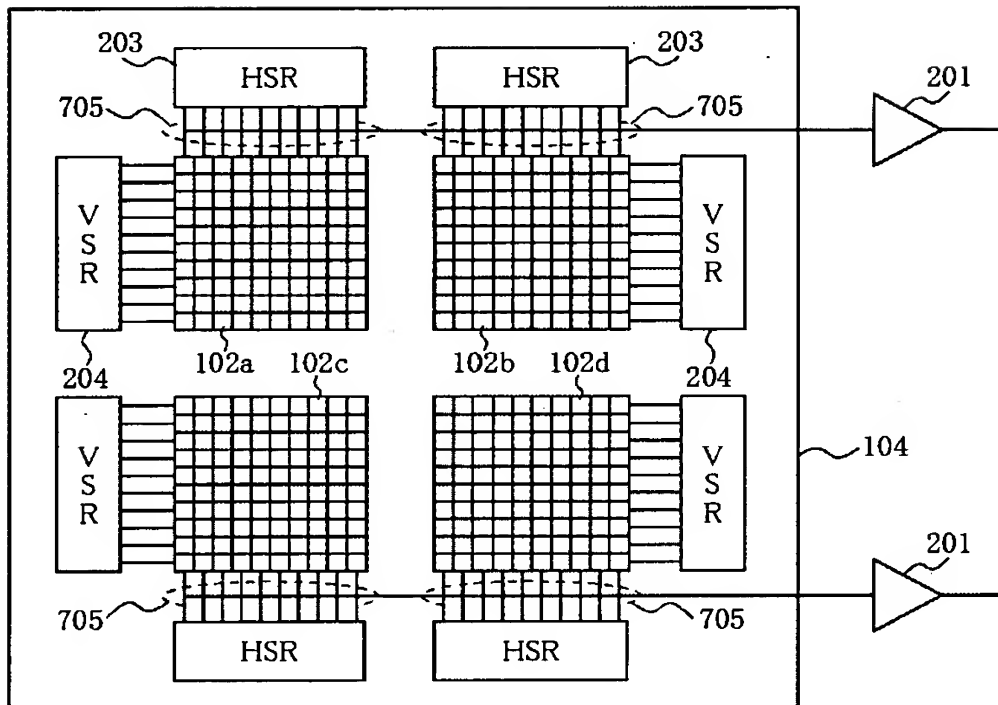
【図3】



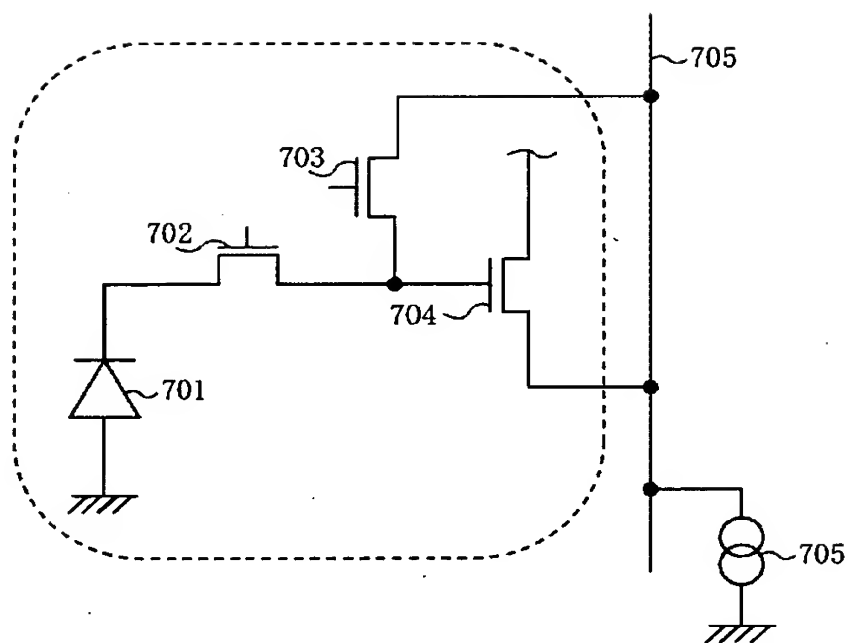
【図4】



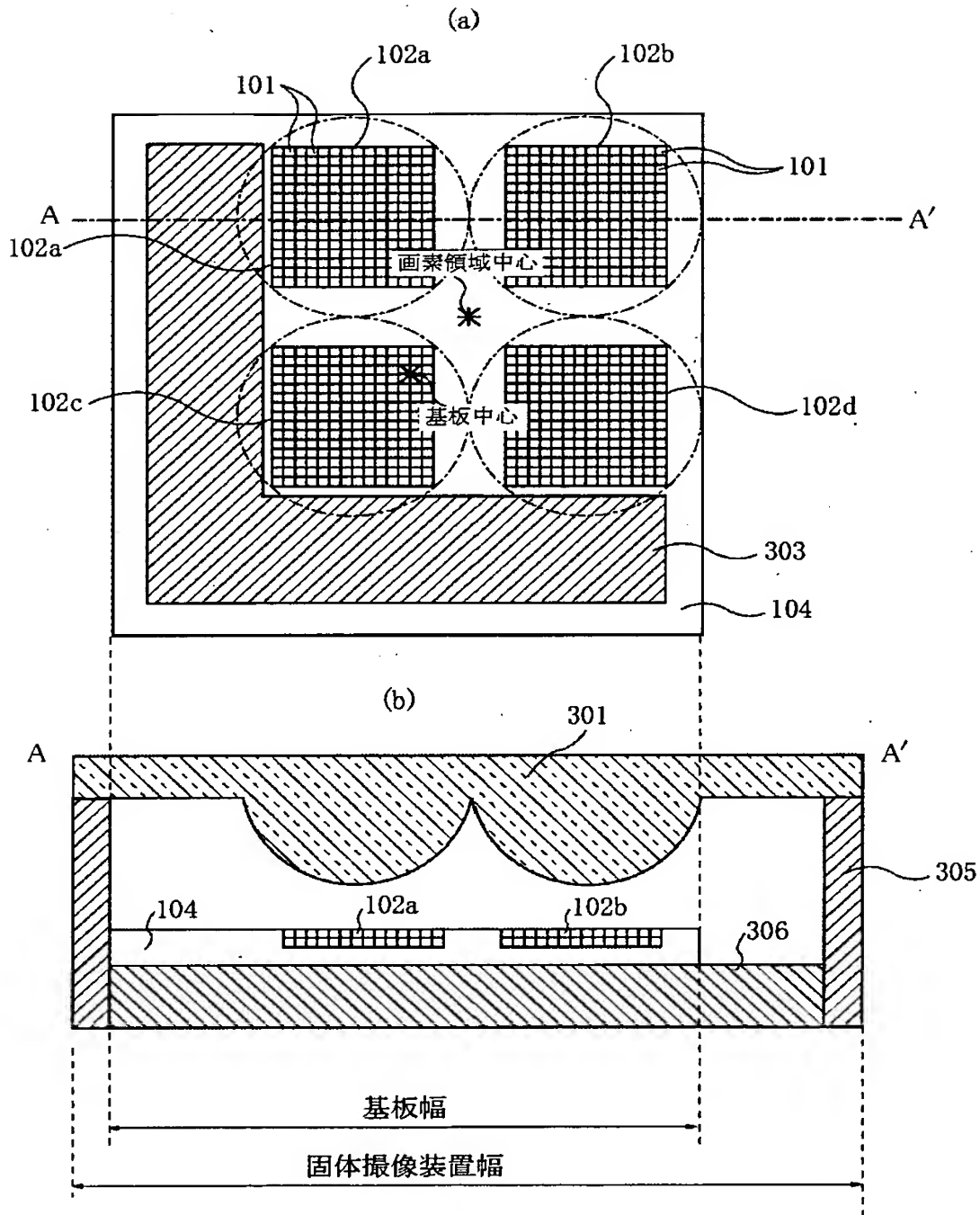
【図 5】



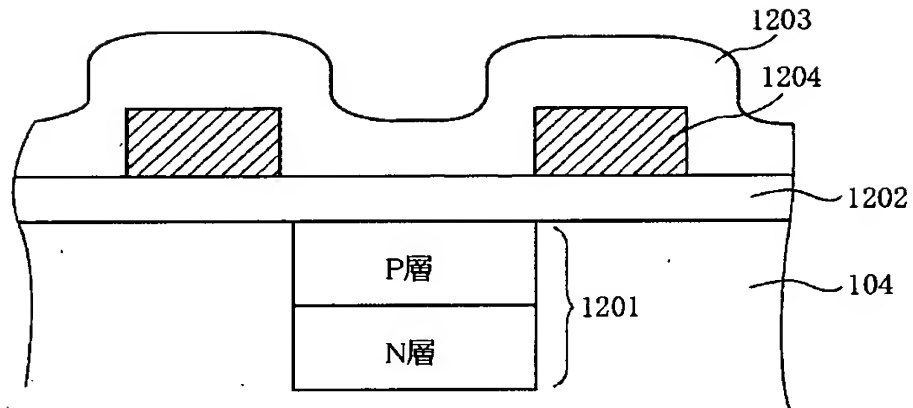
【図 6】



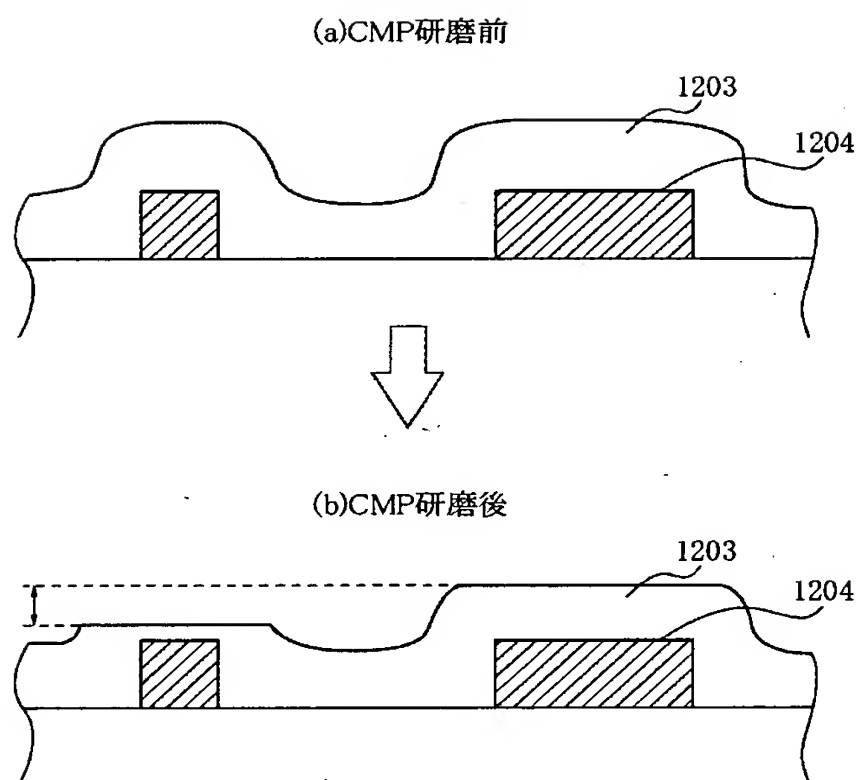
【图 7】



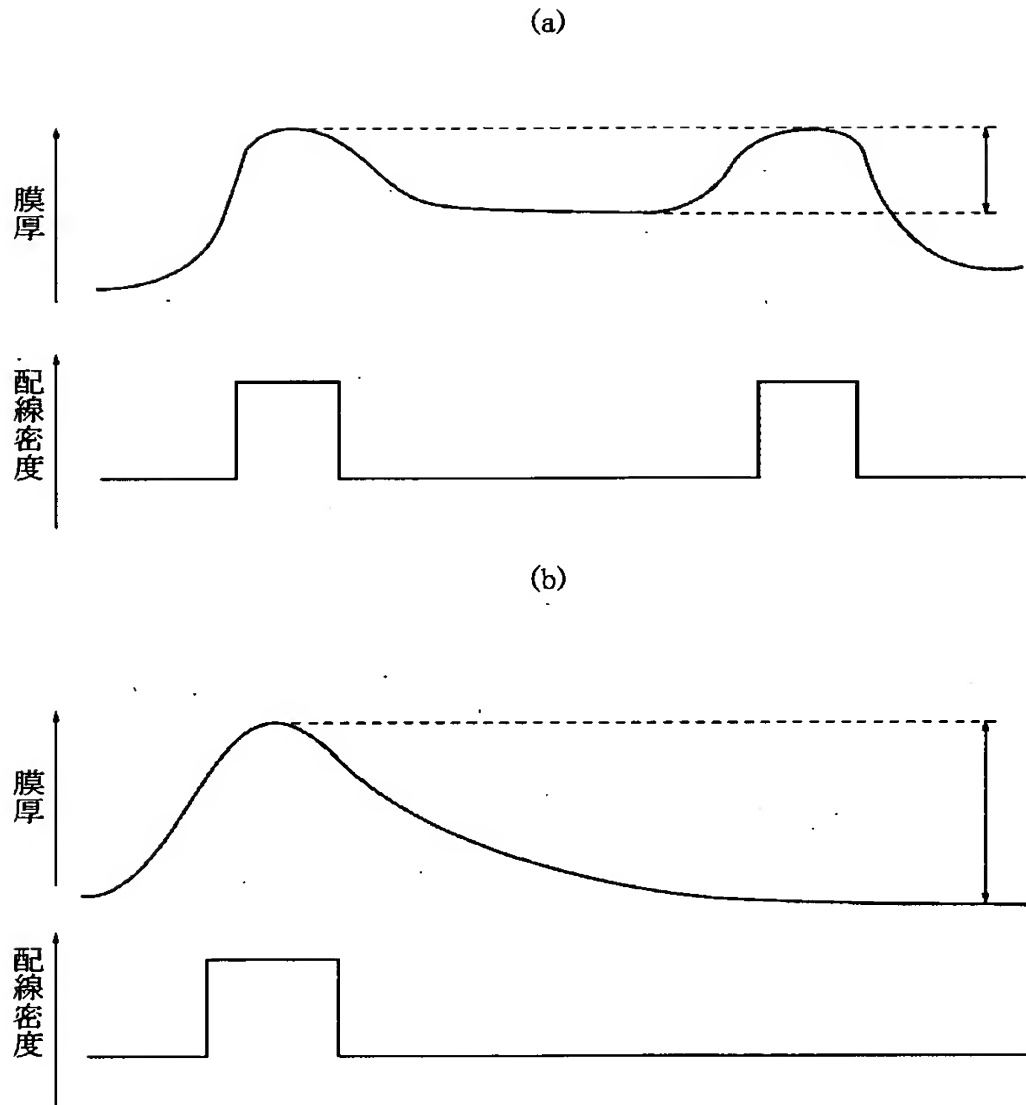
【図 8】



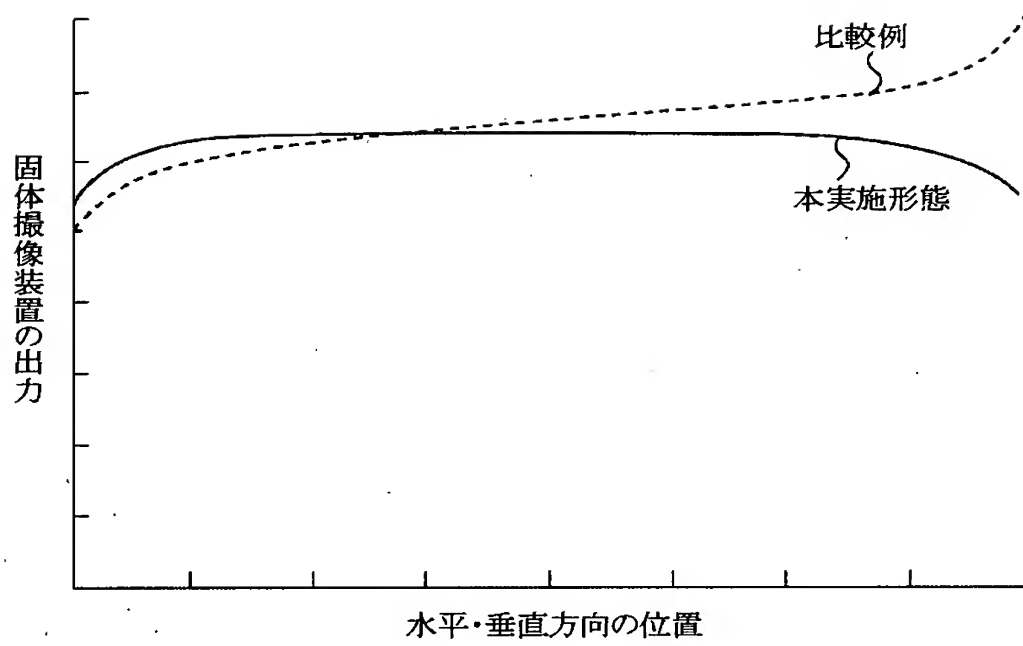
【図 9】



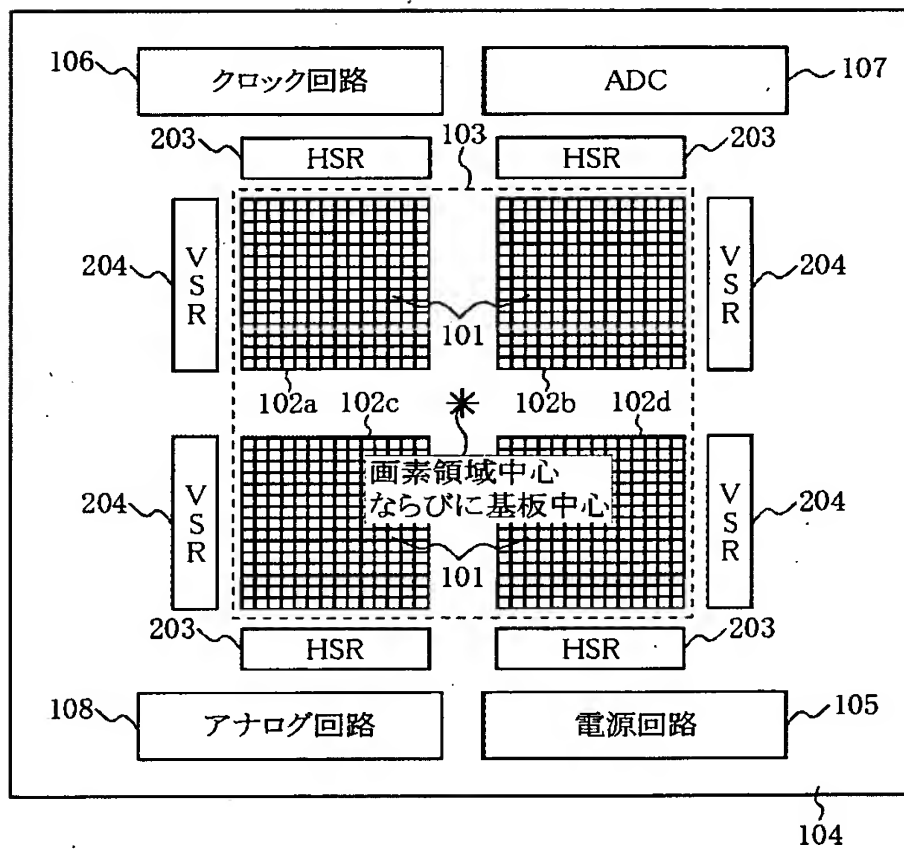
【図 1 0】



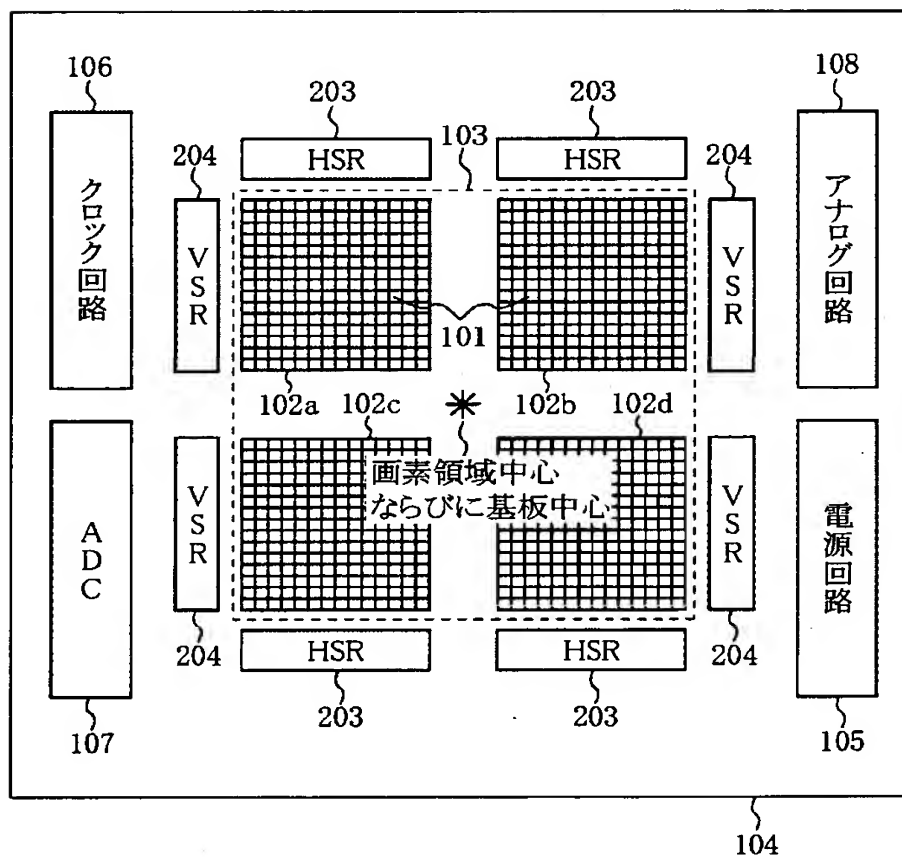
【図 1 1】



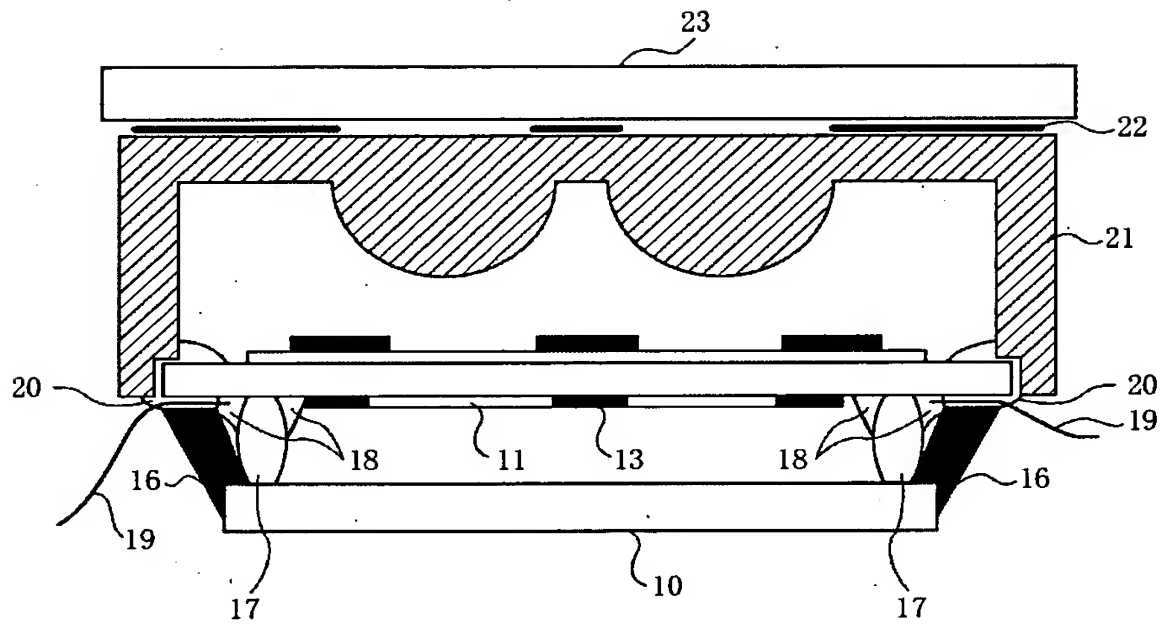
【図 12】



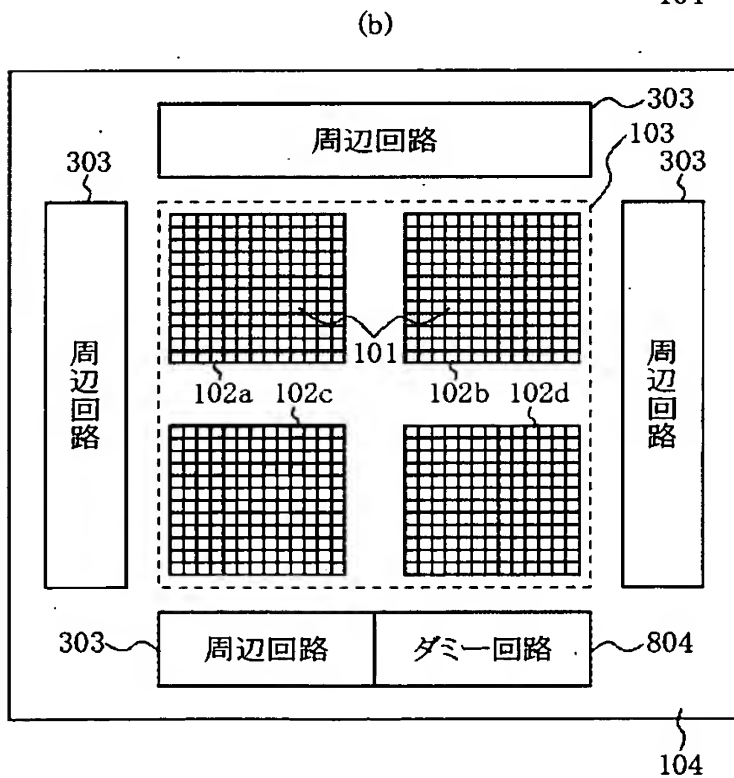
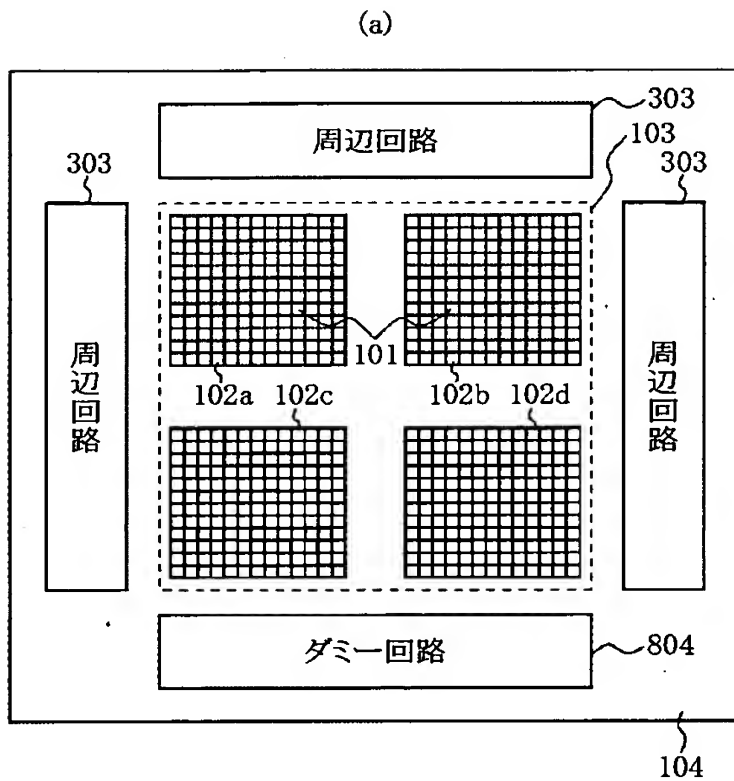
【図 1 3】



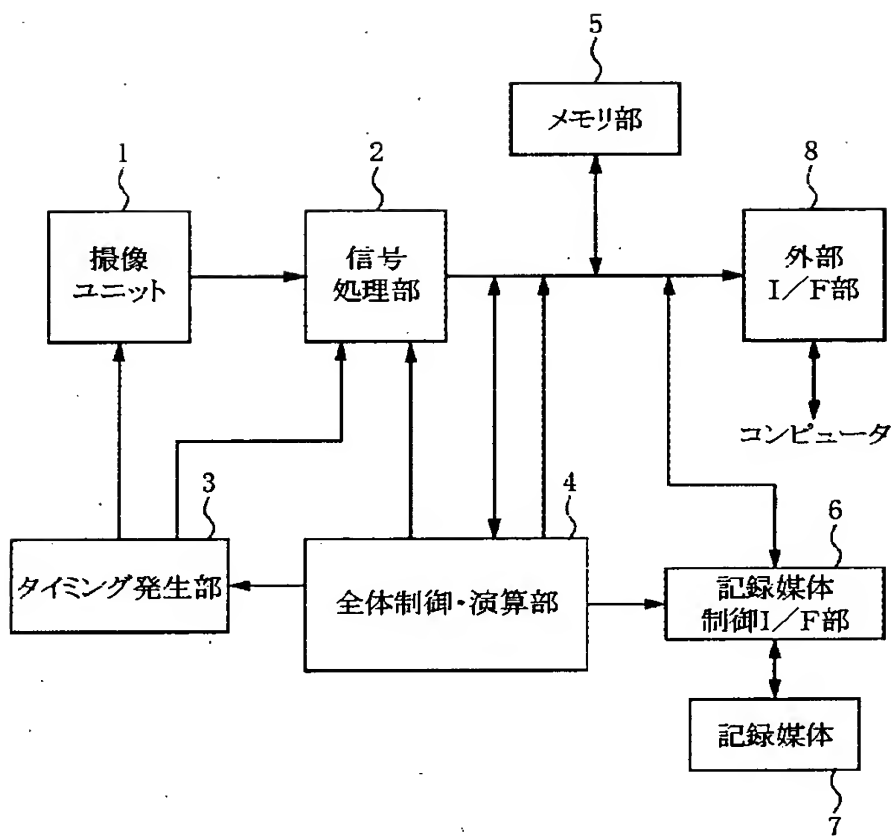
【図 14】



【図 15】



【図16】



【書類名】 要約書

【要約】

【課題】 小型化を達成することを課題とする。

【解決手段】 複数の画素を有する画素領域と、

前記画素領域が集積化された基板とを有し、

前記画素領域の中心と、前記基板の中心とが略一致していることを特徴とする
撮像装置を提供する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2001-378124
受付番号	50101821048
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年12月17日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キャノン株式会社

【代理人】

申請人

【識別番号】	100090538
【住所又は居所】	東京都大田区下丸子3丁目30番2号 キャノン株式会社内
【氏名又は名称】	西山 恵三

【選任した代理人】

【識別番号】	100096965
【住所又は居所】	東京都大田区下丸子3丁目30番2号 キャノン株式会社内
【氏名又は名称】	内尾 裕一

出 願 人 履 歴 情 報

識別番号 . [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キャノン株式会社